



Title of the Prior Art

Japanese Published Patent Application No. Hei.9-91889

Date of Publication: April 4, 1997

Translation of Paragraphs [0011], [0015], and [0016]

[0011] Figure 3 shows the error detection block 152 and the error correction block 153 in detail. 311 is the error correction circuit, 312 is the number-of-error-correction control circuit for controlling the error correction circuit 311 according to the value of the register 222 which stores the result of the error detection inside the error detection block 152, and 313 is the error detection circuit for detecting whether the data has any error after the error detection.

[0015] The error correction circuit 311, which can control the number of error correction with the number-of-error-correction control circuit 312, reads the CD-ROM data which is outputted from the CIRC-IC 11 and written in the memory 14 through the CIRC interface block 151 and the memory interface 115, and calculates the error position and error pattern of data by the syndrome calculation with P and Q. If the data does not have any error in the result of the syndrome calculation, the error correction process is terminated. If an error is detected in the data, the error correction circuit 311 reads the errant data from the memory 14 via the memory interface block 155, corrects the data, and writes the corrected data over an address including the errant data through the memory interface block

THIS PAGE BLANK (USPTO)

155.

[0016] The number-of-error-correction control circuit 312 reads the value from the error detection result storing register 222, for the data judged to have no error, instructs the error correction circuit 311 to shake down the number of error correction over the number of error correction set by the control microcomputer 12, and thereby reducing the memory access by the error correction circuit 311. The number-of-error-correction control circuit 312 reads the value from the error detection result storing register 222, for the data judged to have errors, and instructs the error correction circuit 311 to perform the process of error correction based on the number of error correction set by the control microcomputer 12.

THIS PAGE BLANK (USPTO)

(11)特許出願公開番号

特開平9-91889

(43)公開日 平成9年(1997)4月4日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 20/18	5 5 0	9558-5D	G 1 1 B 20/18	5 5 0 F
	5 7 2	9558-5D		5 7 2 C
		9558-5D		5 7 2 F
19/02	5 0 1		19/02	5 0 1 N

審査請求 未請求 請求項の数1 OL (全 7 頁)

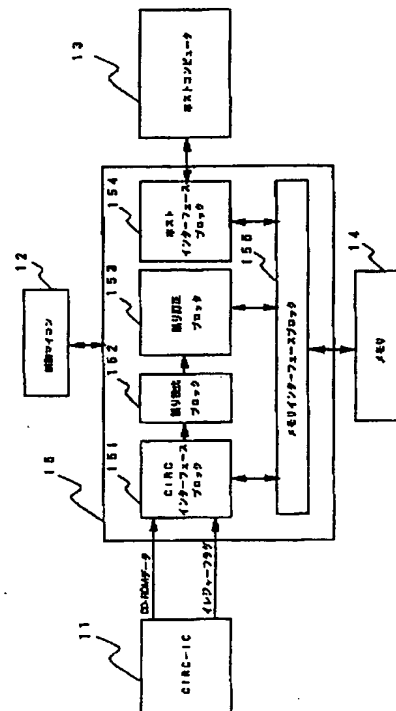
(21)出願番号	特願平7-253127	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成7年(1995)9月29日	(72)発明者	岡▲崎▼ 誠 香川県高松市古新町8番地の1 松下寿電 子工業株式会社内
		(72)発明者	青木 透 香川県高松市古新町8番地の1 松下寿電 子工業株式会社内
		(72)発明者	上田 泰志 香川県高松市古新町8番地の1 松下寿電 子工業株式会社内
		(74)代理人	弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 データ誤り訂正装置

(57) 【要約】

【目的】 CD-ROMデータの誤り検出に応じてメモリアクセス回数の削減を行い、高速データ転送を実現する。

【構成】 CD-ROMデータをCIRCインターフェースブロック151で取り込み、メモリインターフェースブロック155を介してメモリ14への書き込みと並列して誤り検出し、結果を誤り検出結果格納レジスタ222に格納し、この格納レジスタ222の値によって訂正回数制御回路312にて誤り訂正回数の制御を行うことにより、メモリアクセス時間を削減してデータ転送の高速化を計る。



【特許請求の範囲】

【請求項1】記録媒体から読み取られた訂正すべきデジタルデータ信号に所定のデジタル信号処理を施した後に、所定の単位ブロック毎にメモリに順次書き込むとともに、その書き込み動作に並行して前記デジタルデータ信号の各単位ブロック毎の誤りの有無を検出し、その検出結果に基づいて誤り訂正回数が制御される誤り訂正手段により、前記メモリより再度読み出されたデータ信号の誤り訂正を行うことを特徴とするデジタルデータのデータ誤り訂正装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、記録媒体から読み出されるデータの誤り検出、訂正を行うデータ誤り訂正装置に関するもので、特に、CD-ROMから読み出されたデータのメモリアクセスに特徴を有するものである。

【0002】

【従来の技術】近年、高密度、高品質のデジタル記憶装置のCD-ROMは急速に普及してきており、CD-ROM装置は高速化が要求されるようになってきている。以下に従来のCD-ROM信号処理装置について説明する。図6は従来のCD-ROM信号処理装置を示すものである。図6において、61はCIRC (Cross-Interleave Read-Solomon Code) - ICでCD-ROMデータに対し誤り訂正処理が施される。62は制御マイコン、63はホストコンピュータ、64はメモリ、65はCD-ROM信号処理装置、651はCIRC-IC61から出力されるCD-ROMデータ及び、イレジャーフラグを取り込むCIRCインターフェースブロック、652はCIRC-IC61で訂正できなかったCD-ROMデータの誤りを訂正、検出する誤り訂正ブロック、653は所定のデジタル信号処理を施したデータをホストコンピュータに転送するホストインターフェースブロック、654はCD-ROM信号処理装置65に接続されるメモリ64を制御するメモリインターフェースブロックによって構成されている。

【0003】以上のように構成されたCD-ROM信号処理装置について、以下にその動作について説明する。まず、CIRCインターフェースブロック651は、CIRC-IC61とのインターフェースで、CD-ROMデータの同期検出を行い、所定のデジタル処理（CD-ROMデータに対してデスクランブル）を施した後、CD-ROMデータ及び、イレジャーフラグを所定のフォーマットでメモリインターフェースブロック654を介してメモリ64の所定のメモリ空間に書き込む。

【0004】誤り訂正ブロック652は、前述の処理でメモリ64に書き込まれたCD-ROMデータを、あらかじめ設定された回数だけメモリインターフェースブロック654を介して読み出し、このデータに対して誤り訂正を行い、誤り訂正後のデータに対して誤り検出を行

う。ホストインターフェースブロック653は、前述の処理を施しメモリ64に書き込まれたデータをメモリインターフェースブロック654を介して読み出し、ホストコンピュータ63に転送したり、ホストコンピュータ63から入力されるデータをメモリインターフェースブロック654を介してメモリに書き込みを行う。

【0005】

【発明が解決しようとする課題】しかしながら、上記の従来の構成では、CD-ROM装置の高速化に伴いメモリへのアクセスが過密状態になっている。このためホストコンピュータへ送出するためのデータを十分な高速で読み出すことができず、データ転送速度を維持することが困難であるという問題点を有していた。

【0006】本発明は、上記従来の問題点を解決するためのもので、ブロック単位のデータ誤りの有無に応じて自動的に誤り訂正回数を変更する制御を行うことにより、より効率のよい信号処理を実現することのできるデータ誤り訂正装置を提供することを目的とする。

【0007】

【課題を解決するための手段】この目的を達成するために本発明のデータ誤り訂正装置は、デジタルデータ信号の所定の単位ブロック毎にメモリに順次書き込むとともに、その書き込み動作に並行してデジタルデータ信号の各単位ブロック毎の誤りの有無を検出し、その検出結果に基づいて誤り訂正回数が制御される誤り訂正手段により、前記メモリより再度読み出されたデータ信号の誤り訂正を行う構成を有している。

【0008】

【作用】この構成によって、CD-ROMデータのメモリ書き込みと並列にCD-ROMデータのブロック毎の誤り検出を行い、その検出結果に応じてCD-ROMデータの誤り訂正回数を設定するのでデータの誤り検出、訂正動作に関しメモリアクセス時間を削減することが出来る。

【0009】

【実施例】以下に本発明の誤り訂正装置をCD-ROM信号処理系に適用した一実施例について図面を参照しながら説明する。図1において、11はCIRC-IC、12は制御マイコン、13はホストコンピュータ、14はメモリ、15はCD-ROM信号処理装置、151はCIRCインターフェースブロック、152はCD-ROMデータ取り込み時、リアルタイムに誤り検出し、検出結果を記憶することのできる誤り検出ブロック、153はメモリに書き込まれたCD-ROMデータの誤り訂正と誤り検出を行う誤り訂正ブロック、154はホストコンピュータとデータをやり取りをするホストインターフェースブロック、155はCD-ROM信号処理装置15がメモリ12とのやり取りをするためのメモリインターフェースブロックである。

【0010】図2は、CIRC-IC11から出力され

るCD-ROMデータが誤り検出ブロック152までにどの様に処理されるかを示したブロック図で、211はCD-ROMデータのシリアル-パラレル変換回路、212はCD-ROMデータのデスクランブル回路、213はCD-ROMデータをメモリ14に書き込むためのFIFOメモリ、214はCD-ROMデータの同期パターンを検出するための同期検出回路、221は誤り検出回路、222は誤り検出結果を記憶するための誤り検出結果格納レジスタである。

【0011】図3は誤り検出ブロック152と誤り訂正ブロック153を詳細に示した図で、311は誤り訂正回路、312は誤り検出ブロック152内の誤り検出結果を格納しているレジスタ222の値によって誤り訂正回路311を制御する訂正回数制御回路、313は誤り訂正を行った後のデータに誤りがあるかどうかを調べるための誤り検出回路である。

【0012】以上のように構成されたCD-ROM信号処理装置について図1～図3を用いてその動作を説明する。まず、CD-ROMデータは、CIRC-IC11よりシリアルに出力される1ブロック2352バイトのデータで、そのフォーマットは図4に示す構成になっており、同期パターン12バイト以外のデータはスクランブルされている。CIRCインターフェースブロック151は、CIRC-IC11から出力されるCD-ROMデータをシリアル-パラレル変換回路211に取り込み、16ビットパラレルデータに変換しデスクランブル回路212及び、同期検出回路214に出力する。デスクランブル回路212は、シリアル-パラレル変換回路211から出力されるCD-ROMデータを16ビット単位でデスクランブルしFIFO213及び、誤り検出回路221に出力する。

【0013】同期検出回路214は、図4に示した12バイトの同期パターンを検出し、CD-ROMデータ2352バイトのデータブロックに対する同期信号を生成し、この同期信号は、誤り検出回路221及び、誤り検出結果格納レジスタ222に出力する。FIFO213は、デスクランブル回路212から出力されたデータを8ビット単位でメモリインターフェースブロック155を介してメモリ14に書き込む。誤り検出回路221は、デスクランブル回路212から出力されたデータを16ビット単位で処理し、CD-ROMデータ1ブロック単位で誤り検出の結果を誤り検出結果格納レジスタ222に出力する。

【0014】また、CD-ROMデータは図4(1)、(2)に示すようにモード、フォーマットによってデータフォーマットが異なるため、誤り検出回路221は、CD-ROMデータのモード、フォーマットを検出し、データフォーマットにあった誤り検出を行うように構成されている。FIFOメモリ213と誤り検出回路221は並列に動作しており、1ブロックのCD-ROMデータに対

する誤り検出の結果は、そのブロックのCD-ROMデータがCIRC-IC11からメモリに書き込みが完了すると同時に、誤り検出結果格納レジスタ222に書き込まれ、このレジスタの値は誤り訂正ブロック153によって解読される。

【0015】訂正回数制御回路312により訂正回数を制御することのできる誤り訂正回路311は、CIRC-IC11から出力されるCD-ROMデータをCIRCインターフェースブロック151及び、メモリインターフェース155を介してメモリ14に書き込まれたCD-ROMデータを読み込み、P、Qのシンドローム計算を行う事により誤っているデータの誤り位置と誤りパターンを計算する。シンドローム計算の結果、データに誤りがなければ誤り訂正処理を終了する。誤りがあれば、誤っているデータをメモリインターフェースブロック155を介してメモリ14から読み込み、そのデータに対して訂正を行い、訂正したデータをメモリインターフェースブロック155を介して誤ったデータのあるアドレスに上書きする。

【0016】訂正回数制御回路312は、誤り検出結果格納レジスタ222の値を読み込み、誤りの無いと判断されたデータに対しては、制御マイコン12の設定した訂正回数より誤り訂正処理回数を少なくするように誤り訂正回路311へ指示し、誤り訂正回路311のメモリアccessを軽減する。誤り検出結果格納レジスタ222の値を読み込み、誤りがあると判断されたデータに対しては、制御マイコン12の設定した訂正回数だけ誤り訂正処理するように、誤り訂正回路221に訂正回数の指示を出す。

【0017】図5に前述の誤り検出結果レジスタ及び、訂正回数制御回路を示す。図5において、誤り検出ブロック152内の誤り検出回路221から出力される検出結果を同期検出回路214から出力されるCD-ROMデータの同期信号で誤り検出結果格納レジスタ222内のラッチ回路511にラッチする。ラッチ回路511から出力される信号とマイコンが訂正回数を設定する信号"PQ1X2"をORゲート513に入力し、ORゲート513の出力信号が"1"であれば誤り訂正を1回行い、"0"であれば誤り訂正を2回行う。また、NORゲート512は、誤り検出回路221の結果に関係なくマイコンの設定した回数だけ誤り訂正を行うか、誤り検出回路221の結果によって訂正回数を制御するかを選択するために挿入されており、マイコンの設定する信号"ECCADD"が"1"であればマイコンの設定した回数だけ誤り訂正を行い、"0"であれば誤り検出回路221の結果によって誤り訂正回数を制御する信号を出力する。誤り検出回路313は、前述の誤り訂正処理が終了したデータをメモリインターフェースブロック155を介して読み込み、誤り訂正処理終了後のデータに誤りがあるかどうかを確認する。

【0018】ホストインターフェースブロック154は、前述の誤り訂正処理によって誤り訂正ブロック153のメモリアクセスが軽減できるため、ホストコンピュータへのデータ転送のためのメモリアクセスが増大できる。

【0019】

【発明の効果】以上のように本発明は、データ取り込みと並列に誤り検出した結果を基に誤り訂正ブロックの訂正回数を制御することによって、単位ブロック内のデータの誤りの少ない場合は誤り訂正回数を少なくし、誤りの多い場合は、誤り訂正回数を多くすることにより、全体として、メモリアクセス時間を減少することが出来、ホストコンピュータ等へのデータ転送のためのメモリアクセス時間を増大でき、従ってデジタルデータ信号処理系において、高速転送が可能となる優れたデータ誤り訂正装置を実現できるものである。

【図面の簡単な説明】

【図1】本発明の誤り訂正装置をCD-ROM信号処理系に適用した場合の一実施例を示すブロック図

【図2】同実施例におけるCIRCインターフェースブロックと誤り検出ブロックの詳細なブロック図

【図3】同実施例における誤り検出ブロックと誤り訂正ブロックの詳細なブロック図

【図4】同実施例におけるデータブロックのデータフォーマットを示す図

【図5】同実施例における誤り訂正回数制御回路とその周辺のブロック図

【図6】従来の誤り訂正装置をCD-ROM信号処理系に適用した場合のブロック図

【符号の説明】

11、61 CIRC-IC

15、65 CD-ROM信号処理系

14、64 メモリ

13、63 ホストコンピュータ

151、651 CIRCインターフェースブロック

152 誤り検出ブロック

153、652 誤り訂正ブロック

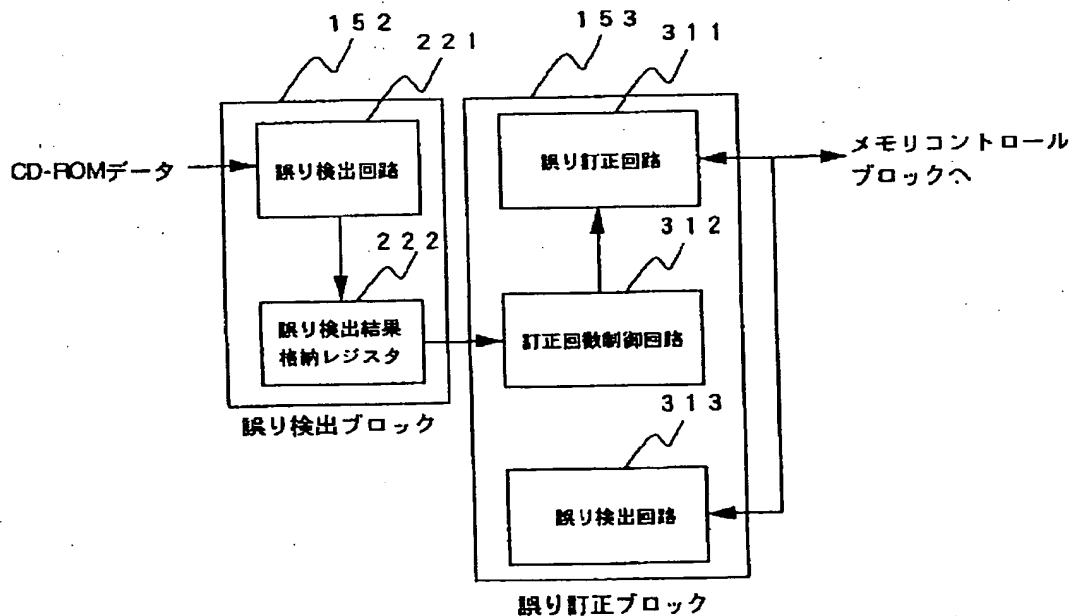
155、654 メモリインターフェースブロック

222 誤り検出結果格納レジスタ

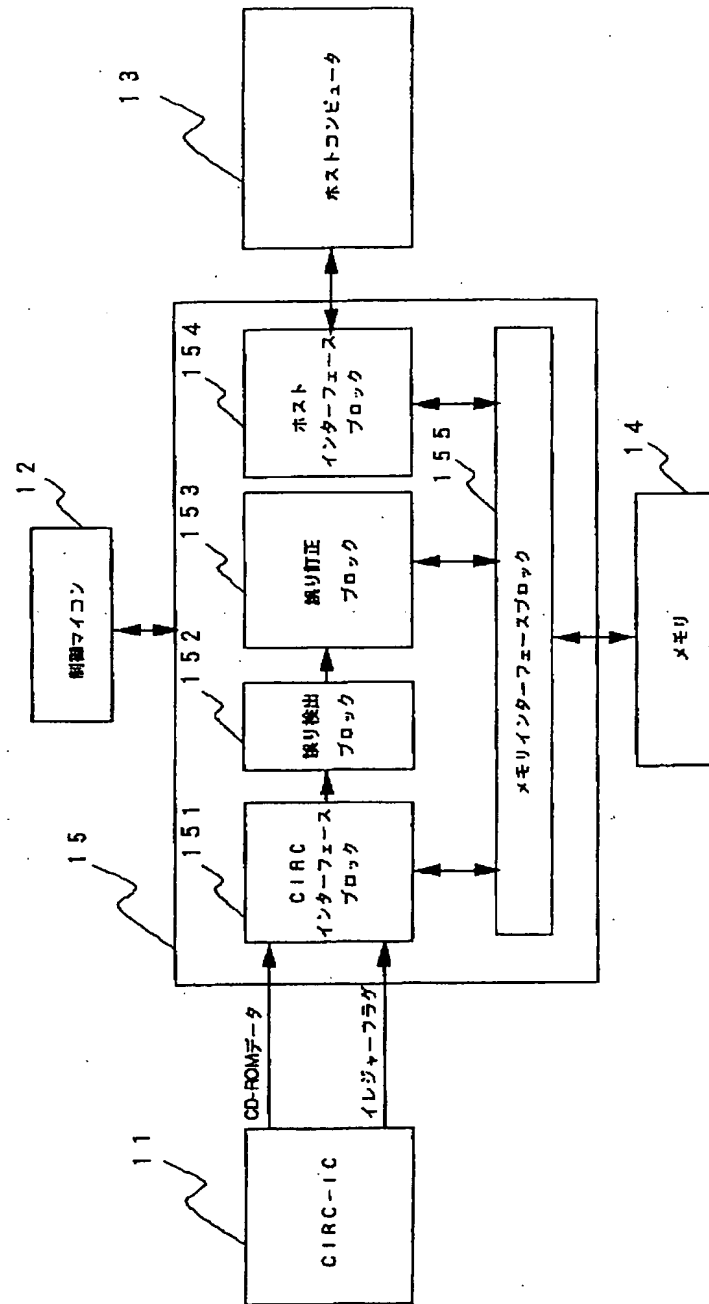
311 誤り訂正回路

312 誤り訂正回数制御回路

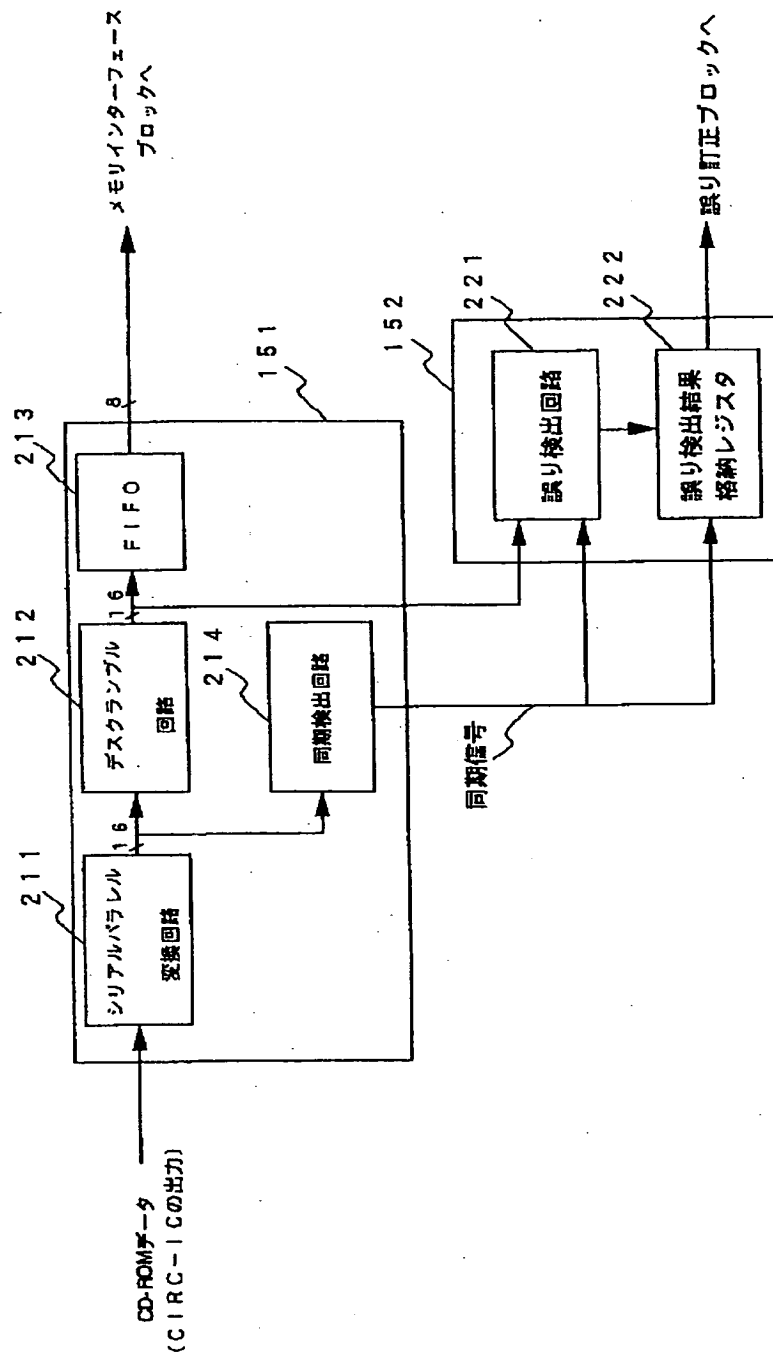
【図3】



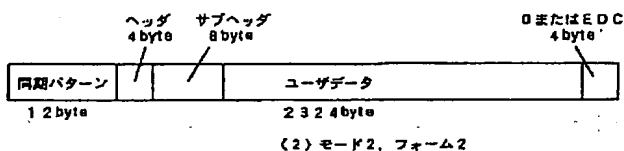
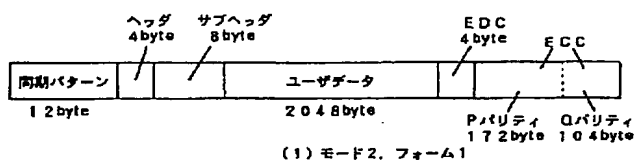
【図1】



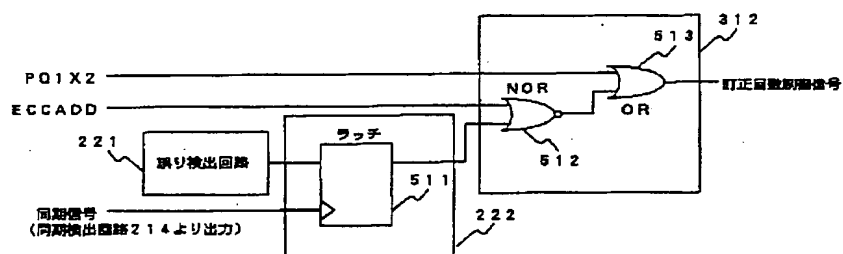
【図2】



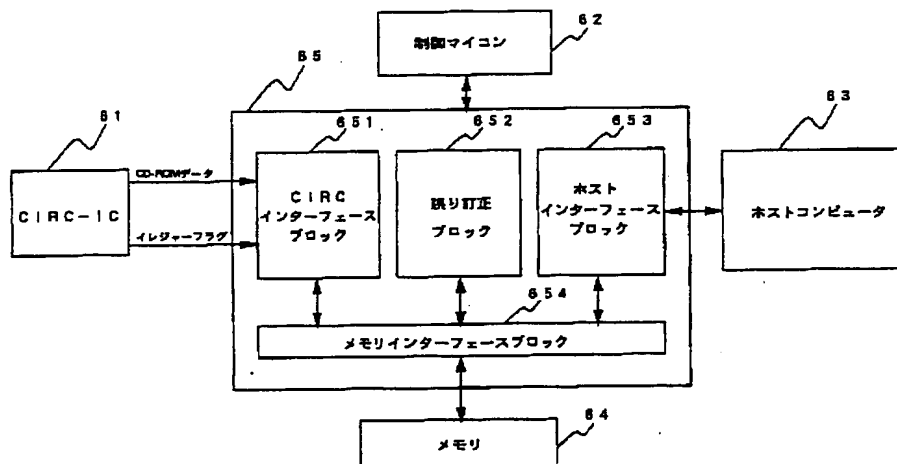
【図4】



【図5】



【図6】



THIS PAGE BLANK (USPTO)